

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**TRANSMITTAL
FORM**

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

96

Application Number

10/702,171

Filing Date

11/4/03

First Named Inventor

Masakazu Matsugu

Art Unit

2825

Examiner Name

Attorney Docket Number

CFA00017US

ENCLOSURES (Check all that apply)

- | | | |
|--|---|---|
| <input type="checkbox"/> Fee Transmittal Form | <input type="checkbox"/> Drawing(s) | <input type="checkbox"/> After Allowance communication to Technology Center (TC) |
| <input type="checkbox"/> Fee Attached | <input type="checkbox"/> Licensing-related Papers | <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences |
| <input type="checkbox"/> Amendment/Reply | <input type="checkbox"/> Petition | <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) |
| <input type="checkbox"/> After Final | <input type="checkbox"/> Petition to Convert to a Provisional Application | <input type="checkbox"/> Proprietary Information |
| <input type="checkbox"/> Affidavits/declaration(s) | <input type="checkbox"/> Power of Attorney, Revocation | <input type="checkbox"/> Status Letter |
| <input type="checkbox"/> Extension of Time Request | <input type="checkbox"/> Change of Correspondence Address | <input type="checkbox"/> Other Enclosure(s) (please identify below): |
| <input type="checkbox"/> Express Abandonment Request | <input type="checkbox"/> Terminal Disclaimer | |
| <input type="checkbox"/> Information Disclosure Statement | <input type="checkbox"/> Request for Refund | |
| <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) | <input type="checkbox"/> CD, Number of CD(s) _____ | |
| <input type="checkbox"/> Response to Missing Parts/Incomplete Application | Remarks | |
| <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 | | |

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENTFirm or Individual name
Canon U.S.A., Inc. IP Department
Fidel Nwamu

Signature

Date

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name

Fidel Nwamu

Signature

Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 6 日
Date of Application:

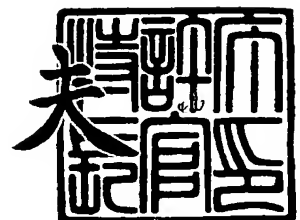
出 願 番 号 特 願 2 0 0 2 - 3 2 2 7 1 8
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 2 2 7 1 8]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 3 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 226782

【提出日】 平成14年11月 6日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06G 7/60

【発明の名称】 階層処理装置

【請求項の数】 1

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
 内

 【氏名】 真継 優和

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
 内

 【氏名】 森 克彦

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
 内

 【氏名】 御手洗 裕輔

【特許出願人】

 【識別番号】 000001007

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号

 【氏名又は名称】 キャノン株式会社

 【代表者】 御手洗 富士夫

 【電話番号】 03-3758-2111

【代理人】**【識別番号】** 100090538**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社
内**【弁理士】****【氏名又は名称】** 西山 恵三**【電話番号】** 03-3758-2111**【選任した代理人】****【識別番号】** 100096965**【住所又は居所】** 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会
社内**【弁理士】****【氏名又は名称】** 内尾 裕一**【電話番号】** 03-3758-2111**【手数料の表示】****【予納台帳番号】** 011224**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9908388**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 階層処理装置

【特許請求の範囲】

【請求項 1】 所定の階層レベルのパターンデータを時系列的に入力するデータ入力手段と、

演算特性制御用データを保持する演算制御データ保持メモリと、

前記演算特性制御用データを用いて、パターンデータに対して所定の特徴検出を行う検出手段と、

前記検出手段からの出力を中間的に保持する中間結果保持メモリと、

処理階層レベルに応じて、前記データ入力手段からの入力または前記中間結果保持メモリからフィードバックされる中間結果と、前記演算制御データ保持メモリから読み出される演算特性制御用データとを前記検出手段に供給するように制御する制御手段と

を有することを特徴とする階層処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、並列演算を用いたパターン認識などのための階層処理装置に関するものである。

【0 0 0 2】

【従来の技術】

従来、画像認識や音声認識の方式としては、特定の認識対象に特化した認識処理アルゴリズムをコンピュータソフトとして逐次演算して実行するタイプ、或いは専用並列画像処理プロセッサ（S I M D、M I M Dマシン等）により実行するタイプに大別される。

【0 0 0 3】

画像認識アルゴリズムを例とするその代表例としては、認識対象モデルとの類似度に関する特徴量を算出して行うものとして、認識対象のモデルデータをテンプレートモデルとして表現しておき、入力画像（或いはその特徴ベクトル）との

テンプレートマッチング等による類似度算出や、高次相関係数の算出などによる方法、或いは階層的並列処理による方法（特許 2 7 4 1 7 9 3 号公報）等がある。

【 0 0 0 4 】

また、L S I の汎用性を高めるために、特開平 6 - 2 7 4 4 5 9 号公報では、複数種類の処理の複合化を実現する半導体集積回路装置として、電氣的に情報の書き換え可能な不揮発性メモリと複数のプロセッサ同士をプログラマブルに相互接続するためのプログラマブルスイッチアレイを設け、L S I 完成後にプロセッサ同士の結合関係の変更を可能とする構成を示している。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、前者のタイプは汎用性が乏しく、後者のタイプは回路規模が大きく消費電力が高いため、汎用性を保ちながら、複雑かつ大規模な演算を低消費電力および小回路規模で実現する方式が望まれていた。

【 0 0 0 6 】

【課題を解決するための手段】

上記課題を解決するために、本発明のある態様によれば、階層処理装置に、所定の階層レベルのパターンデータを時系列的に入力するデータ入力手段と、演算特性制御用データを保持する演算制御データ保持メモリと、前記演算特性制御用データを用いて、パターンデータに対して所定の特徴検出を行う検出手段と、前記検出手段からの出力を中間的に保持する中間結果保持メモリと、処理階層レベルに応じて、前記データ入力手段からの入力または前記中間結果保持メモリからフィードバックされる中間結果と、前記演算制御データ保持メモリから読み出される演算特性制御用データとを前記検出手段に供給するように制御する制御手段とを備える。

【 0 0 0 7 】

【発明の実施の形態】

< 第一の実施形態 >

全体構成と各部の概要

以下、図面を参照して本発明の第一の実施形態を詳細に説明する。図1は、本実施形態のパターン認識装置の全体構成図を示す。このパターン認識装置は、画像入力手段2、画像入力手段2により取得されるデータ中から局所領域データを入力するデータ入力手段1、局所領域認識処理モジュール3、中間処理結果保持モジュール4、判定手段5、およびこれらの動作を司る制御手段6、局所領域認識処理モジュールの演算特性を制御する為の演算特性制御データメモリ8などを主たる構成要素とする。中間処理結果保持モジュール4から局所領域認識処理モジュール3へは、フィードバック結合9が存在し、中間処理結果保持モジュール4に一時的に保持されるデータは、局所領域認識処理モジュール3にフィードバックされる。次に各構成手段の機能の概要を説明する。

【0008】

画像入力手段2は、静止画もしくは動画の撮像手段であって、例えば、CMOSセンサなどのセンサで構成される。

【0009】

データ入力手段1は、画像入力手段2（CMOSセンサなどのセンサ）に対し、読み出し制御信号を出力して、センサにより取得されるデータ中からブロック状の局所領域の信号を入力する。かかる読み出し制御については、公知の手法（例えば、本出願人による特開平11-196332号公報に開示する方法）を用いればよい。なお、センサとしてCCDを用いる場合には、フレームメモリなどに一旦画像を記録してブロック状領域を切り出し、その領域のデータを読み出しながら走査する。このブロック領域の走査過程においては、走査により次に更新された後の局所領域は、その境界付近に特徴が存在する場合であっても検出精度を下げないために、更新前の局所領域と一定範囲で互いに重なり合っている方が望ましい。

【0010】

局所領域認識処理モジュール3は、いわゆる特徴検出手段であって、低次から高次の特徴の検出を行う後述する階層的ニューラルネットワーク回路の一部をなす。本実施形態の構成では、局所領域認識処理モジュール3への入力は、データ入力手段1からの入力と中間処理結果保持モジュール4からの入力の2種類があ

る。局所領域認識処理モジュール3の回路は、アナログ・デジタル混載でありパルス幅変調などにより動作する積和演算回路を主たる構成要素としている。

【0011】

制御手段6は、局所領域認識処理モジュール3が実行する階層レベルとモジュール間のデータ入出力を制御し、最下層レベルを設定した場合には、データ入力手段1により設定されたブロック状領域のデータが局所領域認識処理モジュール3に入力されるようにする。また、最下層より上位の層レベルを設定した場合には、中間処理結果保持モジュール4からの読み出しデータが局所領域認識処理モジュール3に入力されるようにする。

【0012】

また、制御手段6は、設定された階層レベルでの処理（いわゆる特徴検出処理）に必要なデータを演算特性制御データメモリ8から読み出し、局所領域認識処理モジュール3に供給する。この供給タイミングは、中間階層レベルにおいて中間処理結果保持モジュール4から中間結果データを局所領域認識処理モジュール3に供給するタイミングと一致するように、制御手段6は各モジュール間でのデータ入出力のタイミング制御を行う。

【0013】

本実施形態で用いる演算特性制御データとは、後で説明するニューラルネットワーク回路の各ニューロンで行う積和演算処理（複数個の入力データにそれぞれ所定の荷重を乗算して総和をとる処理）で用いるシナプス結合荷重データまたはそれに類するデータである。このデータは階層レベルや検出する特徴クラスに応じて異なるデータが用いられる。

【0014】

演算特性制御データメモリ8は、上述したような荷重値記憶メモリであってSRAM、DRAM、FeRAM、MRAMなどのデジタルメモリやその他のアナログメモリが用いられる。デジタルメモリが用いられる場合、局所領域認識処理モジュールと演算特性制御メモリとの間に不図示のデジタル／アナログ変換回路（以下、D／A回路と記載）が設定される。このD／A回路としては、デジタル信号をパルス変調信号（例えば、パルス幅変調信号、パルス位相変調信号など）

に変換する回路などが用いられる。

【0015】

局所領域認識処理モジュール3は、入力された局所領域データ中に、予め用意したカテゴリの特徴パターンが存在するか否かに関する信号を中間処理結果保持モジュール4に出力する。局所領域認識処理モジュール3の構成、動作は後で説明する。

【0016】

中間処理結果保持モジュール4は、図4(A)に示すように、局所領域認識処理モジュール3から処理結果データを入力し、一時的に保持するメモリ410、そのメモリ410へのデータ書き込み読み出し制御回路420、及びデータ統合手段430などから構成される。なお、データ書き込み読み出し制御回路420は、使用するメモリの種類によっては不要となる。例えば、高誘電率キャパシタなどを用い、データの更新特性にヒステリシスがないなどの場合には、特別な書き込み読み出し信号を用いる必要は無い。

【0017】

メモリ410がデジタルメモリである場合には、局所領域認識処理モジュール3からのアナログ信号をアナログ／デジタル変換する回路（以下、A／D回路と記載）の機能をデータ書き込み読み出し制御手段420が兼ね備えることになる。一方、メモリ410がアナログメモリである場合には、上述したD／A回路およびA／D回路などは不要となることは言うまでもない。

【0018】

データ統合手段430は、複数箇所で設定されたブロック状領域での局所領域認識処理モジュール3の出力を後述する方法により統合するためのものである。従って、一箇所の局所領域データからの特徴検出結果を保持するだけで十分な場合（例えば、あるパターンを検出するのにその局所領域だけのデータから必要十分な種類の局所特徴が検出される場合）には不要となる。なお、データ統合手段430は、局所領域認識処理モジュール3から最も高次のパターン（認識対象）の検出信号（位置とカテゴリ情報）を得た場合には、その検出された情報をそのまま判定手段5に出力する。

【0019】

メモリ 410 としては、一時的に（長くても次の検出結果が出力されるまでの間）所定の精度で（例えば、10ビット）データを保持できればよく、精度が維持される限りでは、揮発性のアナログメモリを用いても良い。アナログメモリとしては、例えば強誘電体キャパシタ、高誘電率キャパシタ、F e R A M などを用いてもよい。また、データ保持の安定性のために不揮発性メモリとしての F e R A M を用いても良い。

【0020】

特に、強誘電体メモリを用いることにより低電力動作が実現される。メモリ 410 に用いる強誘電体メモリの特性としては、電圧またはパルス幅制御で記憶値の更新分解能 6 ビット相当以上、記憶値の可変範囲が（更新分解能換算で）10 ビット相当以上であることが望ましい。更に更新量のヒステリシスが上記可変範囲の 1 L S B 相当以下（正・負の更新方向および記憶値に対して更新量に差がないこと）であれば一層よい。なお、これらの特性を満たさないからといって本発明の意図する効果を発揮しないということではない。

【0021】

判定手段 5 は、中間処理結果保持モジュール 4 の出力について、制御手段 6 から供給される判定パラメータを用いて、所定のパターンが検出された場合には、入力データ中のどの位置に如何なるカテゴリのパターンが存在するかの情報を出力する。

【0022】

次に、図 2 を参照して局所領域認識処理モジュール 3 について詳細に説明する。この処理モジュール 3 は、入力データ中の局所領域において、対象または幾何学的特徴などの認識（検出）に関与する情報を主として扱うものであり、その基本構造はいわゆる C o n v o l u t i o n a l ネットワーク構造（L e C u n, Y., and B e n g i o, Y., 1995, “C o n v o l u t i o n a l Networks for Images Speech, and Time Series” in Handbook of Brain Theory and Neural Networks (M. Arbib, Ed.), MIT

P r e s s , p p . 255-258)の一部(例えば、以下に示す特徴検出層一層分または特徴統合層一層分)である。但し、同経路内の層間結合は局所的に相互結合をなし得る点(後述)が、従来と異なる。最終出力は認識結果、即ち認識された対象のカテゴリとその入力データ上の位置に相当する。

【0023】

データ入力層101は、CMOSセンサ、或いはCCD素子等の光電変換素子(画像データ入力素子)からの局所的な領域データがデータ入力手段1により入力される層であり、或いは、2次元パターンデータに関して所定のデータ解析手段による解析結果(例えば、主成分分析、ベクトル量子化など)から得られる高次元のデータを入力するものであってもよい。

【0024】

最初の特徴検出層(1, 0)は、G a b o r w a v e l e t 変換その他による多重解像度処理により、データ入力層101より入力された画像パターンの局所的な低次の特徴(幾何学的特徴のほか色成分特徴を含んでもよい)を全画面中の各位置を中心とする局所領域(或いは、全画面にわたる所定のサンプリング点の各点を中心とする局所領域)において同一中心位置において複数のスケールレベル(又は解像度)で所定複数の特徴カテゴリの数だけ検出する。

【0025】

なお、G a b o r ウエーブレットは、一定の方向成分と空間周波数とを有する正弦波をガウシアン関数で変調した形状を有する。ウェーブレットとしてこのフィルタのセットは互いに相似の関数形状を有し、また主方向と大きさが互いに異なる。このウェーブレットは空間周波数ドメインと実空間ドメインで関数形が局在していること、位置と空間周波数に関する同時不確定性が最小となり、実空間でも周波数空間でも最も局在した関数であることが知られている(J, G. D a u g m a n (1985), U n c e r t a i n t y r e l a t i o n f o r r e s o l u t i o n i n s p a c e , s p a t i a l f r e q u e n c y , a n d o r i e n t a t i o n o p t i m i z e d b y t w o - d i m e n s i o n a l v i s u a l c o r t i c a l f i l t e r s , J o u r n a l o f O p t i c a l S o c i e t y o f A m e r i c

a A, vol. 2, pp. 1160-1169)。

【0026】

Gabor wavelet 変換を神経回路網で行う方法の詳細については、Daugman (1988) による文献 (IEEE Trans. on Acoustics, Speech, and Signal Processing, vol. 36, pp. 1169-1179) を参照されたい。但し、局所領域内での境界部分の扱い方 (Gabor wavelet 変換係数値の保持の仕方など) については、上記文献では開示されていないが、例えば Gabor wavelet 変換係数値に局所領域の中心からの距離に応じた分布形状の所定の重み係数 (例えばガウシアン形状の重み係数分布) を乗じることにより境界付近では理想的な Gabor wavelet 変換係数値からのずれの影響を少なくすることができる。

【0027】

後段の特徴検出層 102 (1, k) は、本出願人が先に出願した特願 2000-181488 号に詳述するように、所定の解像度 (又はスケールレベル) ごとにクラス分けがされており、階層レベルが異なっても同一クラスに属する特徴検出細胞 (ニューロン素子) は、同一処理チャネルを形成する (但し $k \geq 0$) 。

【0028】

Gabor wavelet 変換を特徴検出層 102 (1, 0) で行う場合を例にとると、スケールレベルが同一で方向選択性の異なる Gabor フィルタカーネルを受容野構造に持つ特徴検出細胞のセットは、特徴検出層 102 (1, 0) において同一の処理チャネルを形成し、後続の層 102 (1, 1) においても、それら特徴検出細胞からの出力を受ける特徴検出細胞 (より高次の特徴を検出する) は、当該処理チャネルと同一のチャネルに属する。

【0029】

更に後続の層 102 (1, k) (但し $k > 1$) においても、同様に前段の 103 (2, k-1) 層において同一チャネルを形成する複数の特徴統合細胞からの出力を受ける特徴検出細胞は、当該チャネルに属するように構成される。このように各処理チャネルは、同一スケールレベル (又は解像度) での処理が進行して

いくものであり、階層的並列処理により低次特徴から高次特徴までの検出及び認識を行う。

【0030】

後続の層である各特徴検出層 102 (1, 1)、(1, 2)、・・・、(1, M)) 及び各特徴統合層 103 ((2, 1)、(2, 2)、・・・、(2, M)) は、それぞれ所定の受容野構造を持ち、上述した各層と同様に前者 ((1, 1)、・・・) は、各特徴検出モジュールにおいて複数の異なる特徴の検出を行い、後者 ((2, 1)、・・・) は、前段の特徴検出層からの複数特徴に関する検出結果の統合を行う。但し、前者の特徴検出層は同一チャンネルに属する前段の特徴統合層の細胞素子出力を受けると結合(配線)されている。

【0031】

データ入力過程(入力画像データまたはある中間階層レベルでの検出結果のデータ)での中間的な検出結果を中間処理結果保持モジュールに保持しながら統合処理を行うものとする。特徴検出層は、検出予定の特徴の種類(例えば、幾何学的特徴として所定方向の線分を抽出する場合にはその幾何学的構造である線分の傾き)やサイズに応じた受容野構造を有し、その特徴検出レベルに応じたパルス信号を発生するニューロン素子から構成される。以上で特徴検出層に関する説明を終わる。

【0032】

特徴統合層 103 (2, j) は、所定の受容野構造(以下、受容野とは直前の層の出力素子との結合範囲を、受容野構造とはその結合荷重の分布を意味する)を有し、パルス信号を発生するニューロン素子からなる。各ニューロン素子は、特徴検出層 102 (1, j) からの同一受容野内にある複数のニューロン素子出力の統合処理(局所的な領域での出力分布の平均化、或いは局所的な領域内出力の最大出力等によるサブサンプリングなどの演算)を行う。また、特徴統合層内のニューロンの各受容野は、同一層内のニューロン間で共通の構造を有し、同一クラスの特徴に関する限りは、特徴統合層内のニューロン素子間では同一の処理を行っている。

【0033】

図3は、シナプス回路とニューロン素子の構成を示す図である。各層間のニューロン素子201間を結合する構造は、図3の(A)に示すように、各層間のニューロン素子201間を結合する手段は、神経細胞の軸索または樹状突起に相当する信号伝達部203（配線または遅延線）、及びシナプス回路S202である。図3では、ある特徴検出（統合）細胞に対する受容野を形成する特徴統合（検出）細胞のニューロン群（ n_i ）からの出力（当該細胞から見ると入力）に関与する結合手段の構成を示している。信号伝達手段として太線で示している部分は共通バスラインを構成し、この信号伝達ライン上に複数のニューロンからのパルス信号が時系列に並んで伝達される。出力先の細胞からの入力を受ける場合も同様の構成がとられる。この場合には、全く同じ構成において時間軸上で入力信号と出力信号とを分割して処理してもよいし、或いは入力用（樹状突起側）と出力用（軸索側）の2系統で図3と同様の構成を与えて処理してもよい。

【0034】

いわゆる、興奮性結合はシナプス回路S202において、パルス信号の増幅を行い、抑制性結合は逆に減衰を与えるものである。パルス信号により情報の伝達を行う場合、増幅及び減衰はパルス信号の振幅変調、パルス幅変調、位相変調、周波数変調のいずれによっても実現することができる。本実施例においては、シナプス回路S202は、主にパルスの位相変調素子として用い、信号の増幅は、特徴に固有な量としてのパルス到着時間の実質的な進み、減衰は実質的な遅れとして変換される。即ち、シナプス結合は後述するように出力先のニューロンでの特徴に固有な時間軸上の到着位置（位相）を与え、定性的には興奮性結合はある基準位相に対する到着パルスの位相の進みを、抑制性結合では同様に遅れを与えるものである。

【0035】

図3の(A)において、各ニューロン素子 n_j は、パルス信号（スパイクトレイン）を出力し、後述する様な、いわゆる *integrate-and-fire* 型のニューロン素子を用いている。なお、図3の(B)に示すように、シナプス回路とニューロン素子とを、それぞれまとめて回路ブロックを構成してもよい。

【0036】

次に各層を構成するニューロンについて説明する。各ニューロン素子は、いわゆる integrate-and-fire ニューロンを基本として拡張モデル化したもので、入力信号（アクションポテンシャルに相当するパルス列）を時空間的に線形加算した結果が閾値を越したら発火し、パルス状信号を出力する点では、いわゆる integrate-and-fire ニューロンと同じである。

【0037】

ニューロン素子としてのパルス発生回路（CMOS回路）としては、公知の回路（例えば、IEEE Trans. on Neural Networks Vol. 10, pp. 540に記載の回路）またはその変形、拡張した回路を用いればよい。

【0038】

なお、各ニューロン素子のパルス発火タイミングの動作制御機構等に関しては、本願の主眼とするところではないので説明を省略する。なお、パルス信号によるニューロン間の信号の伝達はいわゆる AER (Address Event Representation) の手法 (Lazzaro, et al. 1993, Silicon Auditory Processors as Computer Peripherals, In Tourestzky, D. (ed), Advances in Neural Information Processing Systems 5. San Mateo, CA: Morgan Kaufmann Publishers) その他の方法によればよい。

【0039】

次に、局所領域認識処理モジュール3から中間処理結果保持モジュール4にかけての処理について詳しく説明する。

【0040】

局所領域認識処理モジュール3から中間処理結果保持モジュール4に出力されるデータは、ある階層レベルのある特徴クラスに関して、局所領域内における高次パターン（最終的な認識対象となる顔などのパターン）または高次パターンの構成要素となる中間的な複雑さをもつ中次パターン（例えば、顔の中の目、鼻、

口などに相当するパターン)の存在有無、存在位置に関する情報である。特定クラスの局所特徴の存在有無は、その特徴クラスに関する特徴統合層ニューロンからのパルス信号出力の有無により判定され、その局所特徴の存在位置は、パルス信号を発生したニューロン素子の同一クラス内位置により決定される。

【0041】

局所領域認識処理モジュール3が最上位層での処理を実行する場合、その最上位の特徴統合層からの出力のうち、所定の特徴カテゴリ f_{NM} の検出に参与する特徴統合モジュールのニューロン群出力のうち、最大値が所定閾値以上となる場合に、その最大値を与えるニューロンからの出力が、検出された対象のカテゴリ及び位置情報(この検出位置は、特徴統合モジュール内のどのニューロンで極大の検出信号を出力したかにより決まる)として中間処理結果保持モジュール4に与えられる。

【0042】

次に、判定手段5の構成について図7を参照して説明する。判定手段5は、閾値処理手段51と検出パターンマップ情報生成手段52とからなり、閾値処理手段51は、中間処理結果保持モジュール4からのパターン検出レベル信号の閾値処理を行う。入力データ(検出対象)に依存した閾値の制御を行う場合には、その閾値情報は制御手段6より入力する。

【0043】

ここで、高次パターン検出に至るまでの処理途中では、ある階層レベルで検出される予定のパターン(局所特徴)の検出レベル信号を中間処理結果保持モジュール4より入力し、その値が閾値より高ければ、検出パターンマップ情報生成手段52は、入力データの全体について検出されたパターンマップ情報を保持するメモリ7に当該パターンのカテゴリ及び検出位置情報(特徴統合モジュールのどのニューロンかのインデックスなど)を格納し、或いは所定の表示手段などに当該情報を出力する。

【0044】

以上のように構成することにより、コンパクトな構成で効率的に入力データ(画像)から所定カテゴリのパターンの位置を検出することができ、回路規模の大

幅な縮小と認識処理の高効率化がもたらされる。特に、中間処理結果をメモリに保持し、後段の層での処理を同一回路構成で異なる演算特性（本字死形態では、シナプス結合荷重パターンやニューロンの入出力非線形特性などに相当する）を与えながら行うことにより、小規模の回路で大規模かつ複雑な演算を効率よく行うことができる。

【0045】

更に、上述したパターン認識装置をカメラやロボットの視覚モジュールその他の画像入力手段、或いはプリンタ及びディスプレイその他の画像出力手段に搭載することができる。その結果、低消費電力で小規模な回路構成により、特定被写体の認識または検出を行って所定の動作、例えば画像入力手段については、特定被写体を中心とするフォーカシング、露出補正、ズーミング、或いは色補正などの処理を行うことができる。画像出力手段についても特定被写体に関する最適色補正などの処理を自動的に行うことができる。

【0046】

次に、本実施形態の構成に係るパターン検出（認識）装置を撮像装置に搭載させることにより、特定被写体へのフォーカシングや特定被写体の色補正、露出制御を行う場合について、図10を参照して説明する。図10は、実施形態に係るパターン検出（認識）装置を撮像装置に用いた例の構成を示す図である。

【0047】

図10の撮像装置1101は、撮影レンズおよびズーム撮影用駆動制御機構を含む結像光学系1102、CCD又はCMOSイメージセンサー1103、撮像パラメータの計測部1104、映像信号処理回路1105、記憶部1106、撮像動作の制御、撮像条件の制御などの制御用信号を発生する制御信号発生部1107、EVFなどファインダーを兼ねた表示ディスプレイ1108、ストロボ発光部1109、記録媒体1110などを具備し、更に上述した時分割多重化処理を行うパターン認識装置を被写体検出（認識）装置1111として備える。

【0048】

この撮像装置1101は、例えば撮影された映像中から予め登録された人物の顔画像の検出（存在位置、サイズの検出）を被写体検出（認識）装置1111に

より行う。そして、その人物の位置、サイズ情報が被写体検出（認識）装置 111 から制御信号発生部 1107 に入力されると、同制御信号発生部 1107 は、撮像パラメータ計測部 1104 からの出力に基づき、その人物に対するピント制御、露出条件制御、ホワイトバランス制御などを最適に行う制御信号を発生する。

【0049】

上述したパターン検出（認識）装置を、このように撮像装置に用いた結果、小型・低消費電力な回路で、高速（リアルタイム）に人物検出とそれに基づく撮影の最適制御を行うことができるようになる。

【0050】

<第二の実施形態>

本実施形態においては、局所領域の走査過程において以下に示すごとく、検出されるべき高次パターンと途中で検出された中次パターンとの配置関係及び種別に関する整合性の判定を行う。その際、最初に検出された中次パターンの種別に基づき、次に検出されるべき中次パターンの種別と位置の予測を行って、走査位置のジャンプを行う。このようにすることにより、ラスタスキャンなどのような一律の方法により走査する場合と比べて効率的なパターンの検出を行うことができる。

【0051】

図 4（B）に示すように、中間処理結果保持モジュール 4 は、高次パターンの検出レベル（必要なら特徴の種別も）及びその位置のマップを生成する高次パターンマップ生成手段 41、検出されるべき中次パターンの予測位置（後述）の出力、及び最もよく整合する高次パターンのカテゴリ出力などを行う中次パターン統合処理手段 42、高次パターンのカテゴリ（例えば、テンプレートパターンのデータでよい）を格納するメモリ 43、及び中次パターンの予測位置（後述）などを格納する一次記憶手段 44 とから構成される。

【0052】

ここで、高次パターンが検出されず（高次パターンに関する検出出力レベルが所定の閾値未満の場合）、中次のパターン要素だけが検出されたとすると、中間

処理結果保持モジュール 4 の予測手段 46 は、その中次パターンによって構成される高次パターン候補の一つを選択し、その候補パターンを構成する他の検出されるべき中次パターンのカテゴリおよびその位置（配置）情報を後述する方法により予測する。

【0053】

データ統合処理手段 430 は、該当する位置に予測されたカテゴリのパターンが検出されるか否かに応じた出力レベル（予測パターンが予測位置に検出されれば、高い出力レベルとなる）で検出されるべきカテゴリのパターン検出の検出確率（或いは、検出確信度）に相当する出力を判定手段 5 に対して行う。このとき、制御手段 6 は、予測された中次パターンの存在位置情報を中間処理結果保持モジュール 4 から入力し、その位置を中心とする局所領域のデータが次に入力されるように、走査手段 1 のサンプリング点位置の更新制御情報を出力する。なお、この処理過程の詳細については後で図 5 を参照して説明する。

【0054】

中次パターンの検出情報は、走査位置での局所領域内で中次レベルのパターンが検出され、かつそのパターンによって構成される高次のパターンが局所領域内の入力データからでは、検出されない場合（即ち、当該高次パターンが局所領域よりサイズが大きい場合）に中次パターン統合処理手段 42 での後述する時系列処理によって統合され、より大きなサイズの高次パターンの検出に使われる可能性があるものである。

【0055】

いうまでもなく、高次パターンとして検出されるのは、ブロックサイズ以下のパターンである。また、ブロックサイズの変更を伴わずに同一の入力データに対して一巡の走査を行い、異なるサイズの対象検出を可能とするために局所領域認識処理モジュール 3 は、第一の実施形態と同様に、複数の検出対象サイズに固有の処理チャンネルを有するものとする。

【0056】

次に、中間処理結果保持モジュール 4 での中次パターン統合処理手段 42 について説明する。中次パターン統合処理手段 42 は、検出された中次パターンから

構成されうる高次パターンについて未検出の中次パターンの予測カテゴリ、及び検出された中次パターンの位置近傍の予測位置を出力する信号処理回路（或いは、いわゆるミドルウェア）である。

【0057】

ここでは、予め用意された検出されるべき対象（高次パターン）のクラスの種類（例えば、正面顔のパターンなど）と検出された中次パターンのクラス（例えば、正面顔を構成する目のパターンなど）に基づき、未検出である他の中次パターンのクラス（他方の目、鼻、口のパターンなど）、即ち予測カテゴリとその予測位置を求める。

【0058】

本実施形態においては、回路構成の簡素化のため、上述した予測処理を行う回路（予測手段46）は、確率過程その他の複雑かつ演算負荷の大きい処理を行わず、予めリスト又は辞書形式で記述された組み合わせリスト構造データと付帯データ（候補となる中次パターンの相対位置ベクトル）を参照して出力する一種の論理回路である。

【0059】

上記リスト構造データは図6に示すように、高次パターンを構成する中次パターンの互いに連結するリスト構造として与えられ、また付帯データは中次パターン間の距離と方向について相対位置ベクトルを用いて表される。

【0060】

なお、予測位置は、検出された中次パターンのクラスと局所領域認識処理モジュール3の特徴統合層103（2、m）の最大値出力ニューロンが属する前述した処理チャネルの種別により異なるものである。即ち、本実施形態においては、処理チャネルの種別は検出対象または特徴のサイズの違いを反映するものであり、サイズに応じて未検出の中次パターンの存在位置（予測位置）もおのずと異なる。

【0061】

次に、検出されるべき高次パターンが予め複数用意され、かつそれらの間に共通する中次パターンのカテゴリが存在する場合の処理の流れについて、中間処理

結果保持モジュール 4 での処理を中心に図 5 を参照して説明する。

【 0 0 6 2 】

まず、ステップ S 5 0 1 において、局所領域認識処理モジュール 3 で検出された中次パターンカテゴリを構成要素とする高次パターンのカテゴリ情報を時系列統合処理モジュール 4 内のメモリ 4 3 から読み出す。

【 0 0 6 3 】

次に、ステップ S 5 0 2 では、検出された中次パターンの近傍において次に検出される確度の高い中次パターンのカテゴリ及び予測位置を各高次パターンについて求め、それぞれ一次記憶手段 4 4 に格納する。

【 0 0 6 4 】

ステップ S 5 0 3 で、予測位置に関して、近傍に複数の未検出の中次パターンが存在しうるかを判定し、存在しうると判定された場合には、基本走査方向（例えば、右方向、左上から右下までとする）に近い方を選択する（S 5 0 4）。

【 0 0 6 5 】

ステップ S 5 0 5 では、この中次パターン統合処理手段 4 2 において選択された予測位置出力は、制御手段 6 に入力され、走査位置の更新制御に用いられる。このとき制御手段 6 では予測位置情報は、データ入力手段 1 で設定されるべき局所領域の更新位置データに変換されて、データ入力手段 1 に与えられる。

【 0 0 6 6 】

更にステップ S 5 0 6 では、局所領域認識処理モジュール 3 が、検出された中次パターンに整合する高次パターン候補について（所定の順番に）予測位置での予測カテゴリ（中次パターンレベル）に関するマッチング処理結果としての中次パターンに関する特徴統合層 1 0 3 （2、m）の出力を中次パターン統合処理手段 4 2 0 に供給する。

【 0 0 6 7 】

走査位置が更新されると、中間処理結果保持モジュール 4 の中次パターン統合処理手段 4 2 0 では、走査手段 1 の指示の下に局所領域データに関する認識処理結果を局所認識処理モジュール 3 より入力し（S 5 0 4 に同じ）、既に検出された中次パターンのカテゴリとの整合性判定（S 5 0 7）を以下のようにして行い

、整合性があると判定された場合には、判定手段 5 に対して該当する高次パターンのカテゴリ情報とその検出レベル（存在確率または検出確信度に相当）の出力を行う（S 508）。以上のような中次パターンレベルでの予測と検証の処理は、未検出の中次パターンがある限り繰り返される。

【0068】

次に高次パターンのカテゴリに基づく中次パターン間の整合性判定（S 507 の処理）について説明する。高次パターンのカテゴリと既検出の中次パターンのカテゴリが与えられたとすると、それらに整合する残りの中次パターンのカテゴリ及び配置情報の対応関係を予めテーブルとしてメモリに格納しておくことにより、いわゆる正誤判定処理として簡単な論理回路などの構成により実現することができる。

【0069】

この対応関係を示すデータの例を図 6（A）に示す。ここに対応関係のデータは表形式で与えられ、高次パターンのカテゴリを「顔」とし、最初に検出された中次パターン（一つとする）のカテゴリを「目」とし、そのサイズが中次パターンに関する特徴統合層 103（2、m）の処理チャネル番号 k （スケールレベル k ）により与えられたとすると、これらに整合する残りの中次パターンのカテゴリ及びその位置情報は、「鼻」及び $re-n, k$ 、「口」及び $re-m, k$ 、そして「目」及び $re-e1, k$ 、 $re-e2, k$ のように与えられる。ここに、 r は、既検出の中次パターンに対する相対位置ベクトルを表す。

【0070】

なお、残りの「目」に対応する位置ベクトルが 2 つあるのは、両目のうち、いずれが既検出の中次パターンであるのか分からないという仮定があるからである。但し、いずれの側の「目」に相当する中次パターンであるのかの判定は、予測位置の方向に存在すべき「目」（右目か左目かはこの段階で推定される）に該当するパターンが存在するか否かで決まる。一方、既検出の中次パターンが「目」と「鼻」などのように複数ある場合には、残りの中次パターン「口」の相対位置ベクトルは一意的に定まることは明らかである。

【0071】

図6 (B) は、ある高次パターンカテゴリ (顔) に関して、中次パターン (目) を最初に検出した場合の木構造で表された中次パターン (目、鼻、口) と検出過程を表す。ここで、各ノードの状態は、未検出 (○) または既検出 (●) を表す。目1と目2は左目と右目をそれぞれ表す。基本走査手順としては、例えば、図6 (B) ①において、未検出中次パターンカテゴリの左から右へ逐次的に行われるものとする、検出状態の遷移は図6 (B) の①から④のようになる。ここでは、両目のうちの一方として目2が予測位置で検出されたものとして示している。

【0072】

< 第三の実施形態 >

第三の実施形態の要部構成を図8に示す。本実施形態においては、ある時刻で各特徴検出層内において検出する特徴の種別 (カテゴリまたはサイズ) は一つであり、その種別は時系列的に制御手段6により更新される。そのため、局所領域認識処理モジュール3内の各層において並列的に配置される特徴種別の数 s は第一実施形態の場合の特徴種別数 N と比べて格段に少なくすることができる ($s = 1$ も可)。

【0073】

ここでは、データ入力手段1から得られる同一の局所領域入力データに対して局所領域認識処理モジュール3は、入力データ上の各サンプリング点において、時系列的に異なるカテゴリのパターン検出に関する中間処理結果を中間処理結果保持モジュール4の内部のメモリ410 (図8では図示せず) に保持し、次の階層レベルでの処理は、メモリ410からデータを読み出してフィードバック結合9により局所領域認識処理モジュール3にデータを入力する。このような処理を階層的に行いながら第1の実施形態と同様に必要に応じて各特徴統合層での検出結果をメモリ410から読み出して中間処理結果保持モジュール4内部のデータ統合手段430で統合する。

【0074】

局所領域認識処理モジュール3は、前実施形態と同様にカスケード的に交互に配列される特徴検出層102と特徴統合層103のそれぞれ一層分を実現し、低

次から高次パターン検出までを階層的に行う。

【0075】

各特徴検出層 102 からの出力は、後段の特徴統合層 103 において前実施形態と同様のサブサンプリング処理が行われた後、一時的に中間処理結果保持モジュール内のメモリ 410 に特徴種別ごとに異なるアドレスに格納される。更に、特徴検出層 102 は、以下に示すようにシナプス荷重分布（局所受容野構造）が更新されると同時に、メモリ 8 から時系列的に特徴種別ごとの検出結果を入力する。例えば、目に相当するパターン（中次パターン）の検出を行う特徴検出層 102 の局所受容野構造のデータは、当該中次パターンの検出に必要な低次パターン P_1, P_2, \dots, P_n のそれぞれに固有のデータとして、パターン P_k ($k = 1, \dots, n$) ごとの検出結果としての特徴統合層出力をメモリ 410 から入力するタイミングと同時に制御手段 6 によりメモリ 8 から読み出されて与えられる。

【0076】

なお、特徴検出層 102 の局所受容野構造は、入力されるべき特徴の種別ごとに SRAM、FeRAM などのメモリ 8 に保持され、当該メモリから読み出されて更新される。

【0077】

例えば、ある時刻で目に相当するパターンの検出を行っていた特徴検出層 102（中次特徴検出を行う層）のニューロンの受容野構造は、別の時刻では、鼻又は口に相当するパターンの検出を行うように、制御手段 6 及び受容野制御回路 45 からの信号に従って所定の順序で更新される。

【0078】

このように局所領域に関する入力データについて、一つの局所領域認識処理モジュール 3 の回路で異なる特徴検出（認識）を時間的にずらして行う多重化処理を行うことにより、入力データ上のサンプリング位置での複数の特徴検出を別個独立に同時並列的に行う回路構成と比べて、大幅な回路規模の縮小がもたされる。

【0079】

時間的に制御される受容野の構造は、動的に再構成可能な F P G A または F P A A の構成データとしてのコンフィギュレーションビット（以下、C B と略称する）として、若しくは、受容野構造としてのシナプス結合荷重データとして格納するメモリ 8 及び読み出し制御を司る制御手段 6 とにより与えられる。

【0080】

局所受容野構造を有するニューロンからなる神経回路網を実現する際には、ニューロンごとに結合荷重データを更新するためのメモリと制御回路とが一般的に必要となるが、第一の実施形態で示した局所領域認識処理モジュール 3 の構成では、以下に示すように、一つの検出すべき特徴カテゴリにつき一セットの結合荷重データ、メモリ 8、及び制御手段 6 があれば足りる。

【0081】

即ち、ある時刻で特徴検出層 102 が各サンプリング点で検出すべき特徴の種類（例えば、特徴カテゴリとサイズ）が一つであるとする、特徴検出層ニューロンの各局所的受容野の構造も同一となる。その結果、受容野構造を与えるメモリ 8 及び制御手段 6 を共有化して時系列的に特徴検出層ニューロンごとに C B 若しくは結合荷重データを与えることができる。

【0082】

F P G A を用いる場合には、C B はロジカルな結合（配線）の構造を与えるにすぎない。即ち、あるニューロン素子と前段の層の所定ニューロンとの間に結合が存在するか否かは、C B によって指定される。受容野構造を反映した結合ごとの重み係数の更新及び設定は、別途メモリ 8 から供給される重み係数データに従ってシナプス回路の荷重データが更新されることにより実現される。

【0083】

例えば、シナプス荷重は浮遊ゲート素子に蓄えられる注入電荷量により与えられるとすると、シナプス荷重の設定などはメモリ 8 に格納された重み係数データに相当する、シナプスごとの荷重値に相当する電荷の注入により行う。ここで、制御手段 6 は、メモリ 8 に格納された所定アドレスのシナプス荷重値データ（所定の蓄積電荷量を与える印加電圧など）を読み出してシナプス荷重値相当の電圧が設定すればよい。

【0084】

その後、受容野構造を構成する要素となる各シナプス回路要素 S_k ($k=1, 2, \dots$) を時系列的にアクセスし、シナプス荷重の分布構造（受容野構造）を設定する。なお、高速かつ低電力で荷重値相当のデータを書き換え可能で、かつ所定時間そのデータを保持することができる短期メモリ素子（FeRAM など）があれば、そのようなメモリ素子を用いても良い。

【0085】

なお、特徴検出層の各ニューロンの受容野構造は特徴種別に応じて更新されるが、特徴統合層各ニューロンの受容野構造は特徴種別のうちスケールレベルが同一であれば更新しない。

【0086】

<第四の実施形態>

本実施形態においては、受容野構造を与えるシナプス回路を2次元シストリックアレイプロセッサ（シストリックアレイについては、富田著、「並列計算機構成論」、pp. 190-192, 昭晃堂、1986年、S. Y. Kung, “Digital Neural Networks”, PTR Prentice Hall, Englewood Cliffs, pp. 340-361. 1993、および特許第2741793号公報などを参照）とし、その受容野構造の更新もシストリックアレイ素子に供給されるパイプライン処理用の時系列データの変更により行う。

【0087】

本実施形態の要部構成を図9に示す。ここでは、メモリ8に格納されたシナプス荷重データを特徴検出層102及び特徴統合層103のシストリックアレイ構造の各シナプス回路素子に時系列的に与えることにより、受容野構造を動的にかつ時系列的に制御する。シナプス結合荷重データは、例えば、アナログ電圧値で与えられるとすると、図3（A）に示すような各シナプス回路要素 S_k ($k=1, 2, \dots$) にアクセスしながら、第三の実施形態で説明したように、メモリ8から読み出された荷重データに相当する電圧信号を与える。図8と対比すれば明らかなように、回路構成としては大幅に簡素化されている。なお、シストリックア

レイ演算処理を行わなければ、図9に示す構成は、図1の構成と実質同一となる。

【0088】

そして前述した局所領域認識処理モジュール3からの出力（特徴統合層からの出力）を、制御手段6から与えられるシストリックアレイプロセッサのタイミング制御信号に同期して、中間処理結果保持モジュール4内部のデータ統合手段430で統合し、判定手段5で対象カテゴリの有無の判定を行う。なお、中間処理結果保持モジュール4及び判定手段5での主たる処理は第一の実施形態で説明したので省略する。

【0089】

図11に本実施形態での主たる処理手順をフローチャートに示す。先ず、ステップS1201において、制御手段6が特徴検出層の番号（低次から高次まで）及び層内での特徴種別（カテゴリとサイズなど）を設定する。この設定は、予め定められた一定の手順に従って行われる。

【0090】

次に、ステップS1202とS1203において、特徴検出層の検出モジュールは、メモリ8またはデータ入力層101から所定カテゴリの特徴データまたは画像データを受容野構造に従って所定の重み付けを行って入力する。ここでステップS1203では、制御手段6がメモリ8からの読み出し動作を制御して受容野構造をシナプス荷重のパイプラインデータとして時系列的に設定する。読み出し動作は、局所領域認識処理モジュールがどの階層を実現するのか、更に特徴検出層を実現する場合には検出予定の特徴クラスに応じたシナプス結合荷重データを格納するメモリ8のアドレス信号を制御手段6が発生して行われる。

【0091】

なお、前実施形態と同様、特徴検出層の各ニューロンの受容野構造は特徴種別に応じて更新されるが、特徴統合層各ニューロンの受容野構造は、特徴種別のうちスケールレベルが同一であれば更新しない場合もある。

【0092】

ステップS1204では、特徴検出層からの特徴種別ごとの出力のサブサン

リング処理（特徴統合層）を行い、その結果（位置情報と検出レベル）を特徴種別ごとにメモリ 8 の異なるアドレスに格納する。ステップ S 1201 からステップ S 1204 までの処理をすべての特徴カテゴリ及び層番号について時系列的に繰り返した後、ステップ S 1205 では、中間処理結果保持モジュール 4 においてその内部メモリ 410 から各特徴種別に関する上記検出結果を読み出して、中次または高次特徴の検出マップを生成する。内部メモリ 410 は、第 1 の実施形態と同様に構成される。

【0093】

更に判定手段 6 は、ステップ S 1206 において閾値処理を行い、最終的に所定カテゴリの対象が存在するか否か、存在する場合には、どの位置であるかなどの情報を出力する。

【0094】

<第五の実施形態>

図 12 は、演算特性制御データメモリ 8 と演算回路 3 ‘と中間処理結果保持モジュール 4’ とを一体にした演算セル 10 をアレイ状に配列した構造を局所領域認識処理モジュール 30 として構成した実施形態を示す。ここでは、制御手段 6 は、各演算セル 10 の動作、データ入力手段 1 の動作、判定手段の動作などの制御を司る。

【0095】

演算セル 10 は、第一乃至第四実施形態での局所領域認識処理モジュール 3 の一部であり、一つの演算単位に相当する。ある演算セル 10 a の中間処理結果保持モジュール 4’ から読み出されるデータは、その演算セル 10 a を含む複数の演算セル（10 a, 10 b, …）のそれぞれの演算回路 3’ に不図示の結合を介して供給される。どの演算セルに供給されるかは、次の階層レベルでのニューロン素子の受容野構造（シナプス結合パターン）によって決まる。

【0096】

本実施形態は、第一の実施形態と同様に、ある並列階層処理を実現するものであり、演算セル 10 内の演算回路 3’ は、ある階層レベルのある特徴クラスのあるニューロン素子（演算単位）での処理を実現する。シナプス結合荷重データ及

び中間処理結果は、それぞれニューロン素子（演算単位）に付随して分散して各演算特性制御データメモリ 8 と中間処理結果保持モジュール 4' に配置されることは、本実施形態の特徴の一つである。

【0097】

メモリ 4 およびメモリ 8 の構成は、本実施形態では強誘電体メモリ（F e R A M など）を用いた。メモリ 4 はデジタルメモリであってもアナログメモリであってもよいが、一時的に結果を保持する為に用いるので、キャパシタ（強誘電体キャパシタ、高誘電率材料を用いたキャパシタ、その他 C M O S 回路で通常用いられるキャパシタなど）を用いても良い。メモリ 8 に関しては不揮発性を有していることが望ましい。

【0098】

以下、上記実施形態に係わる本発明の特徴を整理する。

【0099】

特徴 1.

所定の階層レベルのパターンデータを時系列的に入力するデータ入力手段と、演算特性制御用データを保持する演算制御データ保持メモリと、

前記演算特性制御用データを用いて、パターンデータに対して所定の特徴検出を行う検出手段と、

前記検出手段からの出力を中間的に保持する中間結果保持メモリと、

処理階層レベルに応じて、前記データ入力手段からの入力または前記中間結果保持メモリからフィードバックされる中間結果と、前記演算制御データ保持メモリから読み出される演算特性制御用データとを前記検出手段に供給するように制御する制御手段と

を有することを特徴とする階層処理装置。

【0100】

特徴 2.

前記検出手段はアナログ信号を出力し、前記中間結果保持メモリは所定の揮発性アナログメモリであることを特徴とする特徴 1 に記載の階層処理装置。

【0101】

特徴 3.

前記検出手段はアナログ信号を出力し、前記中間結果保持メモリは、所定の不揮発特性を有するアナログメモリであることを特徴とする特徴 1 に記載の階層処理装置。

【0102】

特徴 4.

前記演算特性を時系列的に更新する演算特性更新手段を有することを特徴とする特徴 1 に記載の階層処理装置。

【0103】

特徴 5.

前記検出手段は、前記データ中の各位置において所定の局所的特徴を抽出することを特徴とする特徴 1 に記載の階層処理装置。

【0104】

特徴 6.

前記検出手段は、複数の演算素子を並列に配列し、所定の結合手段により当該演算素子間を結合してなる並列処理手段であることを特徴とする特徴 1 に記載の階層処理装置。

【0105】

特徴 7.

前記中間結果保持メモリは、所定の強誘電体を構成要素として含むことを特徴とする特徴 1 に記載の階層処理装置。

【0106】

特徴 8.

前記検出手段からの出力信号を所定のデジタル信号に変換する変換手段を備え、前記中間結果保持メモリは当該所定のデジタル信号を記憶するデジタルメモリであることを特徴とする特徴 1 に記載の階層処理装置。

【0107】

特徴 9.

前記デジタルメモリは強誘電体メモリであることを特徴とする特徴 8 に記載の

階層処理装置。

【0108】

特徴10.

前記制御手段は、前記データ入力手段からの入力または前記中間結果保持メモリから読み出した中間結果と、前記演算制御データ保持メモリから読み出される演算特性制御用データとを、前記検出手段に同一のタイミングで供給するように制御することを特徴とする特徴1に記載の階層処理装置。

【0109】

特徴11.

前記検出手段は、特徴検出層と特徴統合層とが交互にカスケード的にそれぞれ複数接続されていることを特徴とする特徴1に記載の階層処理装置。

【0110】

特徴12.

前記制御手段は、入力された前記パターンデータについて、複数の異なるカテゴリ又はサイズに対応する特徴を検出するように、前記演算制御データ保持メモリから前記演算制御データを読み出し、前記検出手段の演算特性を制御することを特徴とする特徴1に記載の階層処理装置。

【0111】

特徴13.

所定の階層レベルのパターンデータを走査して所定の局所的なデータを入力するデータ入力手段と、

当該パターンデータから所定の局所的特徴を検出する検出手段と、

前記特徴の種別に基づき前記データ入力手段における走査位置を更新する走査位置更新手段と、

異なる走査位置で検出された複数の局所的特徴を統合して前記局所的特徴より高次の特徴の有無を検出する統合処理手段と、

前記統合処理手段の出力を一時的に保持する中間処理結果保持メモリと、

前記中間結果保持メモリへのデータ書き込み読み出し制御を行うメモリ制御手段と、

前記中間処理結果保持メモリから読み出した信号を前記検出手段にフィードバックする結合手段とを備えたことを特徴とする階層処理装置。

【0112】

【発明の効果】

以上説明したように、本発明に係る構成によれば、異なるサイズであって同一カテゴリの局所的特徴（パターン）抽出を高効率にかつ、小回路規模でかつ低消費電力に実行することができる。また、検出すべき特徴種別に応じて受容野構造を制御可変とすることにより、回路規模を大幅に縮小することができる。

【0113】

更に、他の物体などにより対象の一部が隠れているような場合にも、低次またはセンサ出力値を処理して得られる中次パターンの検出及び統合を行うことにより、安定して対象物の検出を行うことができる。

【図面の簡単な説明】

【図1】

本発明の第一の実施形態に係る要部構成図である。

【図2】

局所領域認識処理モジュールの要部構成図である。

【図3】

シナプス部とニューロン素子の構成を示す図である。

【図4】

中間処理結果保持モジュールの構成を示す図である。

【図5】

中間処理結果保持モジュールでのデータ統合処理例を示すフローチャートである。

【図6】

中次特徴の配置関係を表すリスト構造データの例及び中次特徴に関する特徴検出過程を表す図である。

【図7】

判定手段の構成図である。

【図 8】

第三の実施形態での要部構成図である。

【図 9】

第四の実施形態での要部構成図である。

【図 1 0】

パターン認識装置を撮影装置に搭載した応用例の要部構成図である。

【図 1 1】

第四の実施形態での主な処理フローチャートである。

【図 1 2】

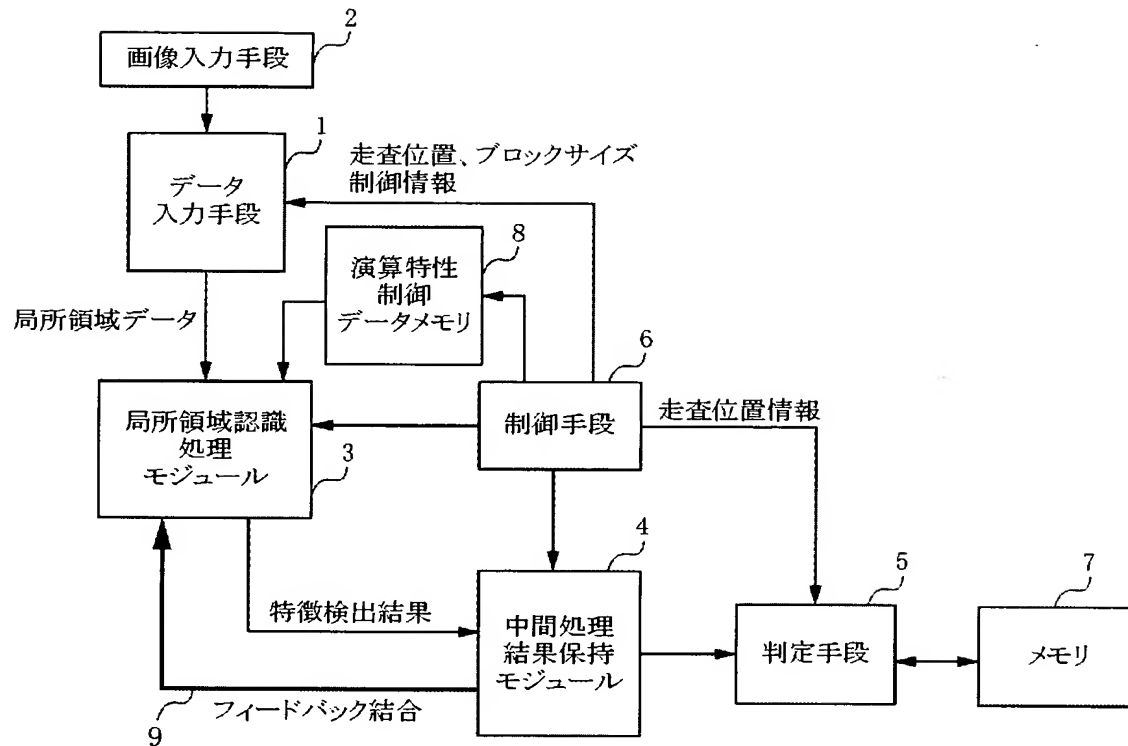
第五の実施形態の要部構成図である。

【符号の説明】

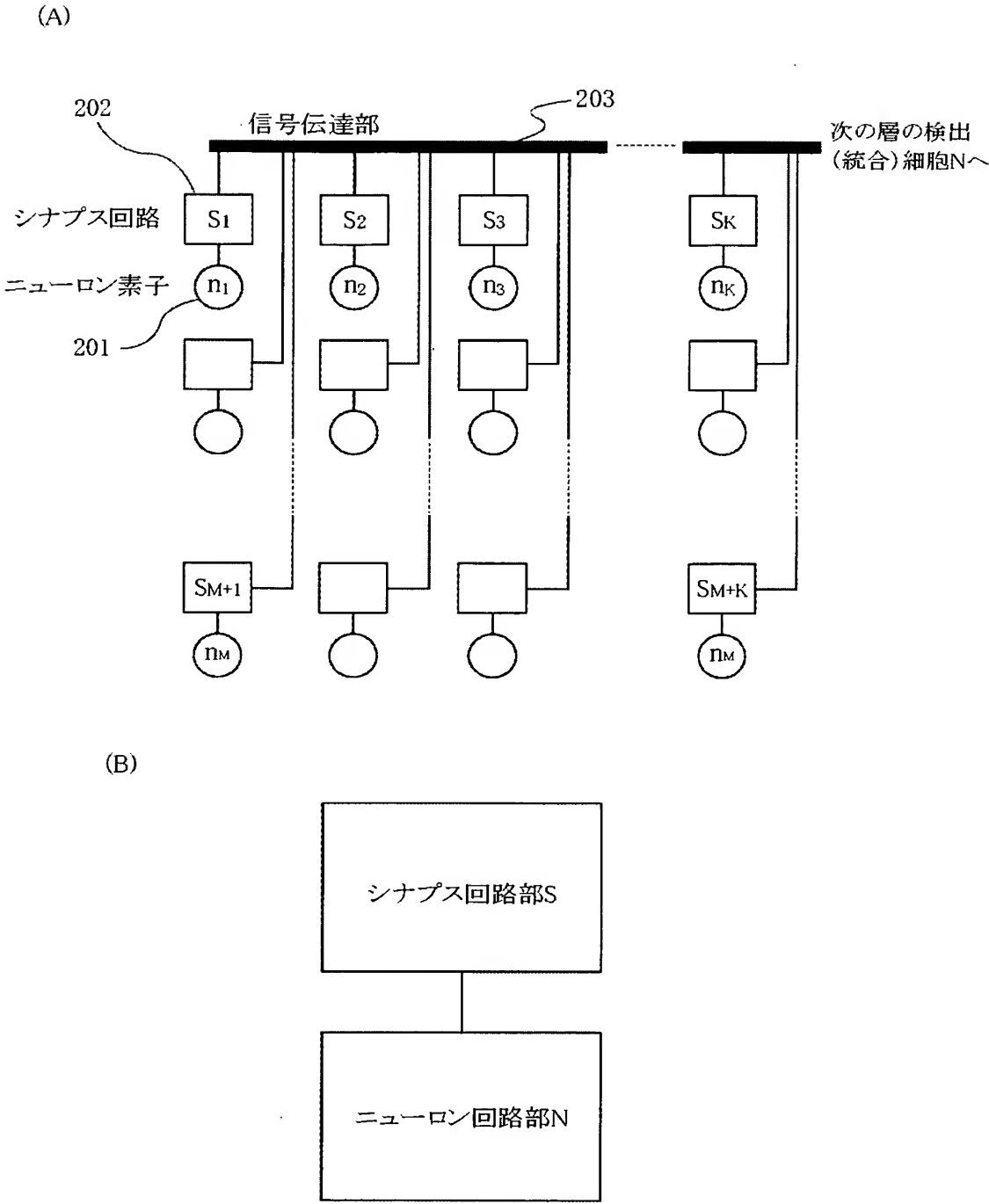
- 1 データ入力手段
- 2 画像入力手段
- 3 局所領域認識処理モジュール
- 4 中間処理結果保持モジュール
- 5 判定手段
- 6 制御手段
- 7 メモリ
- 8 演算特性制御データメモリ
- 9 フィードバック結合
- 1 0 演算セル

【書類名】 図面

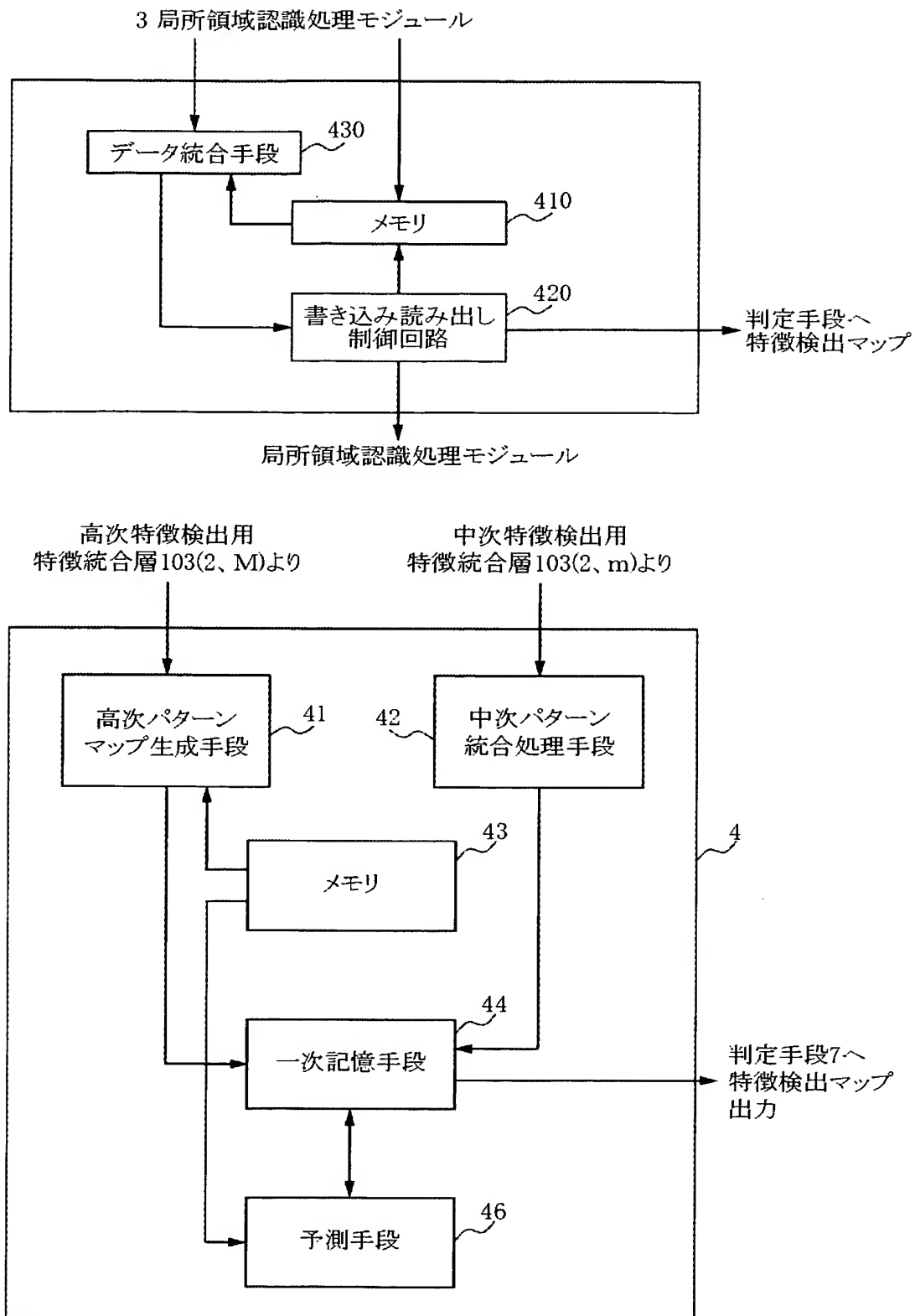
【図 1】



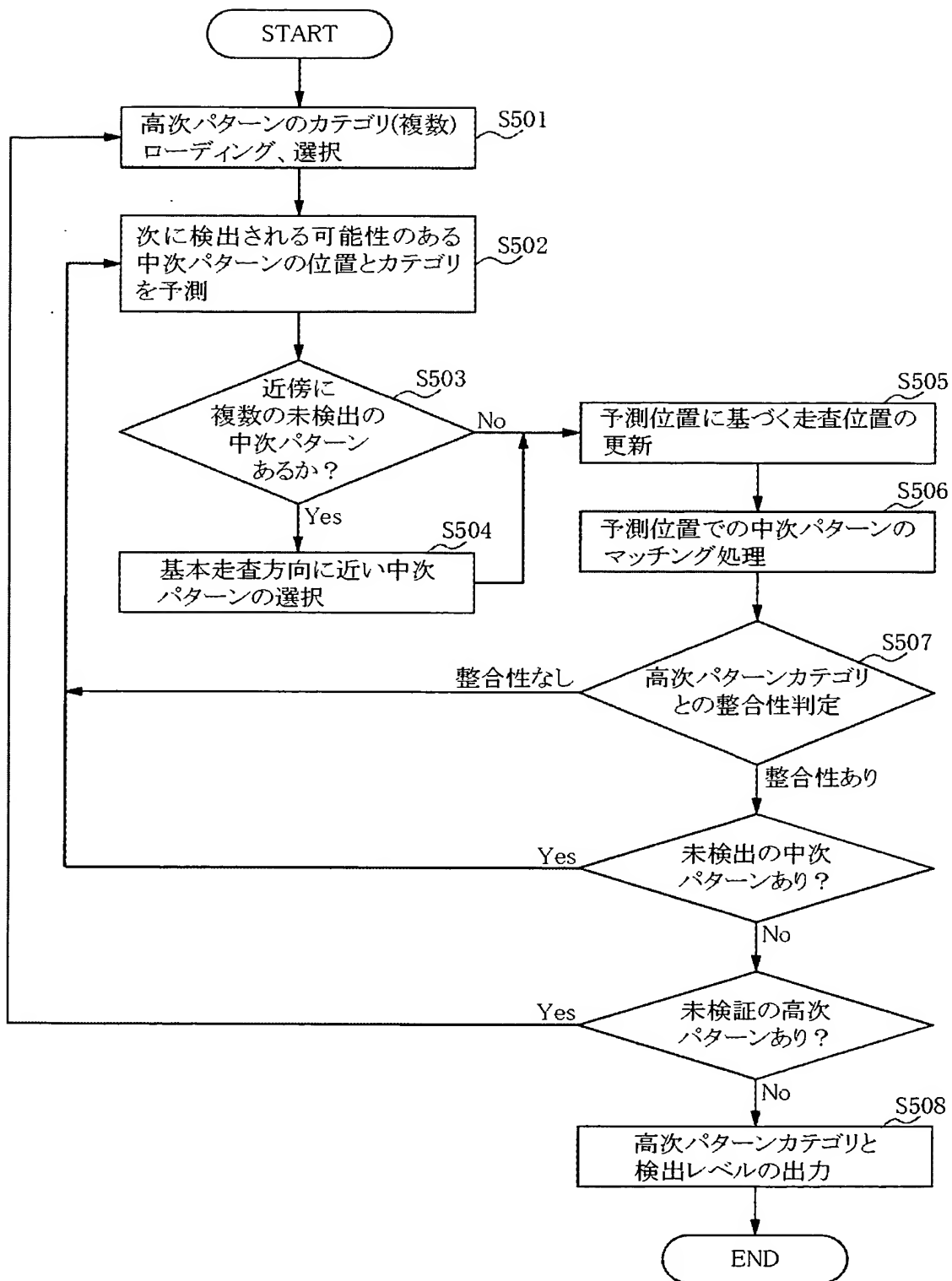
【図 3】



【図 4】

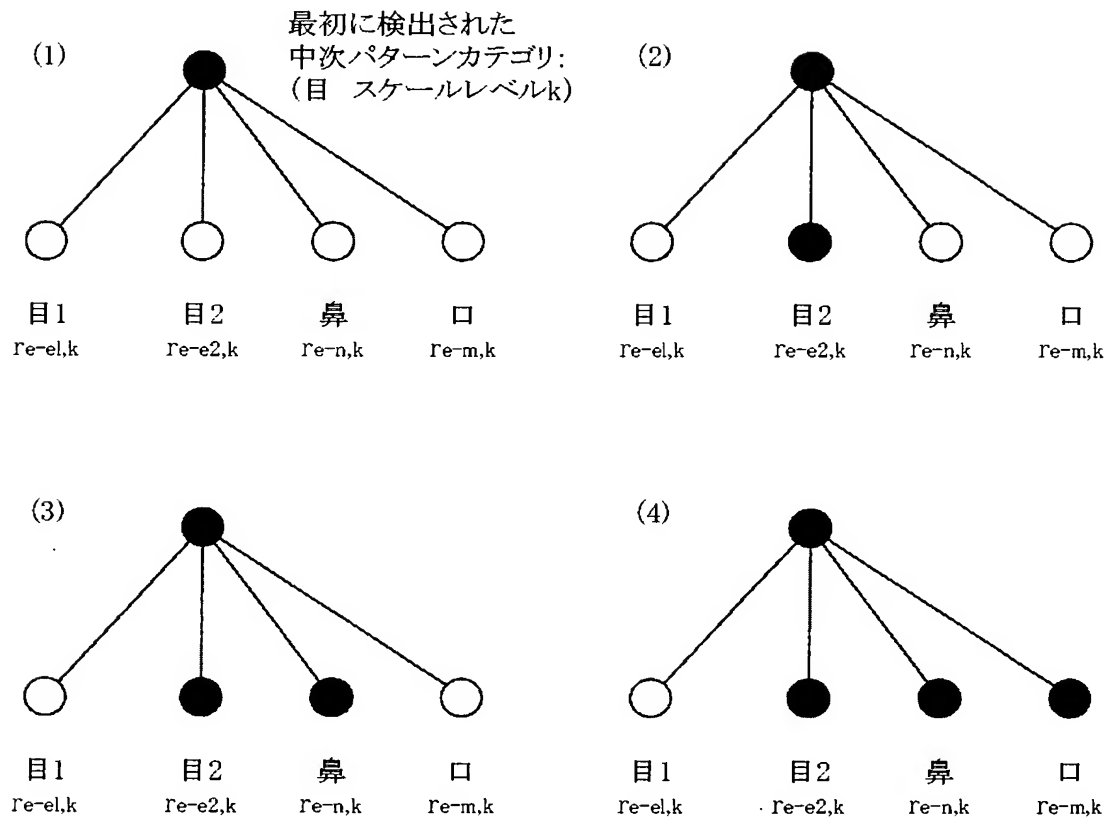


【図 5】

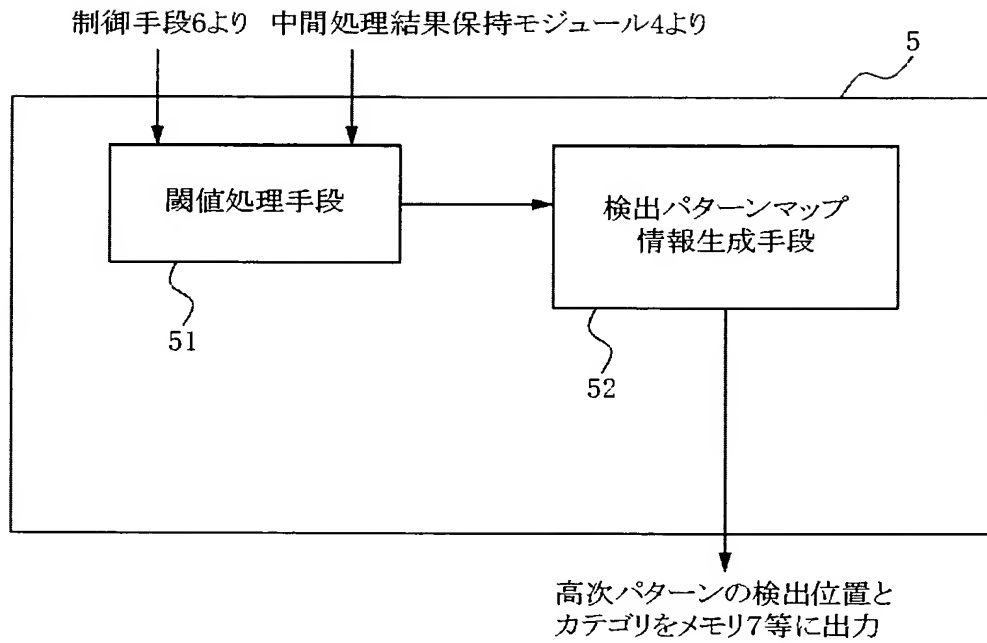


【図 6】

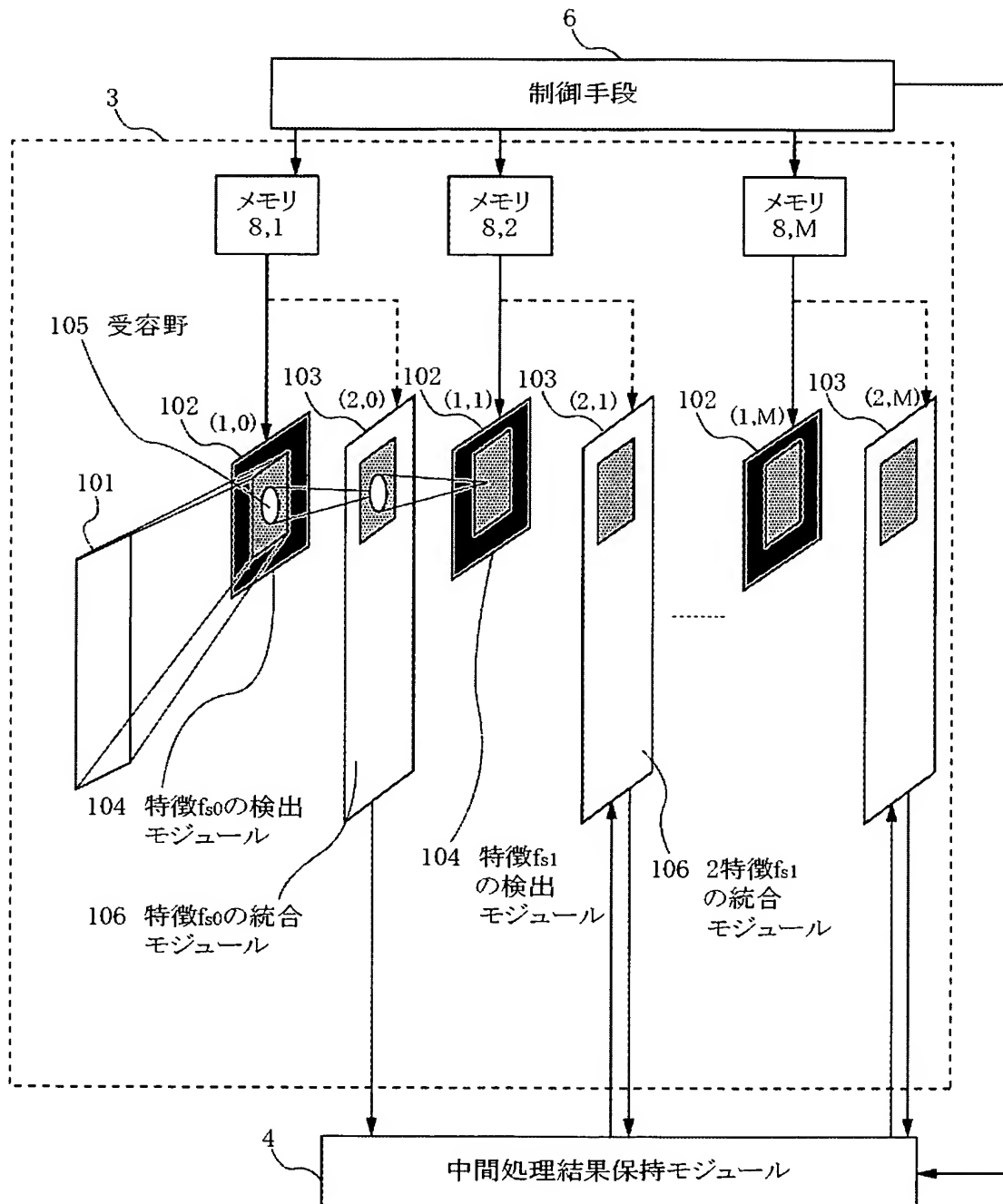
カテゴリ	相対位置	
目	$re-e1,k$	$re-e2,k$
鼻	$re-n,k$	
口	$re-m,k$	



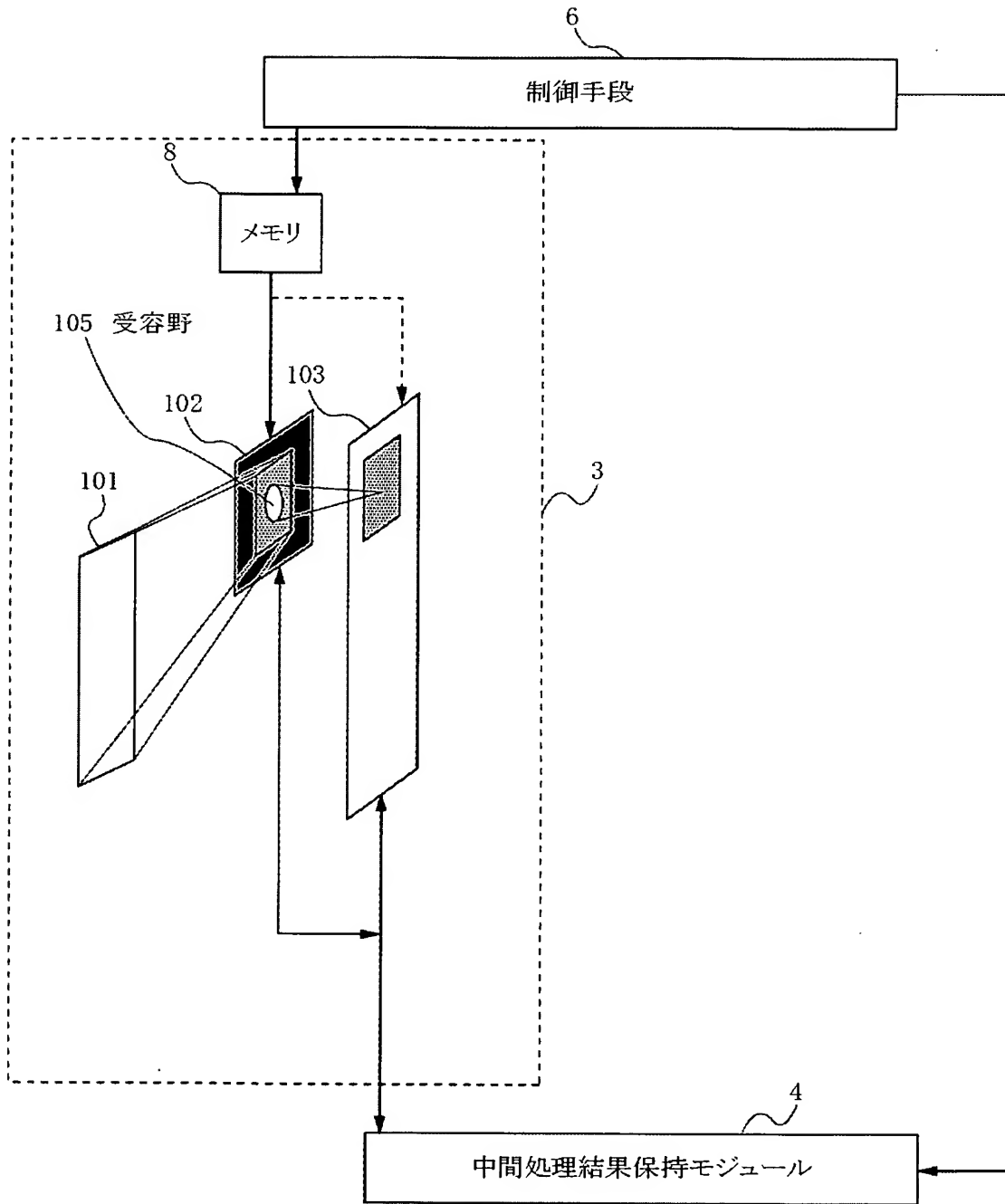
【図 7】



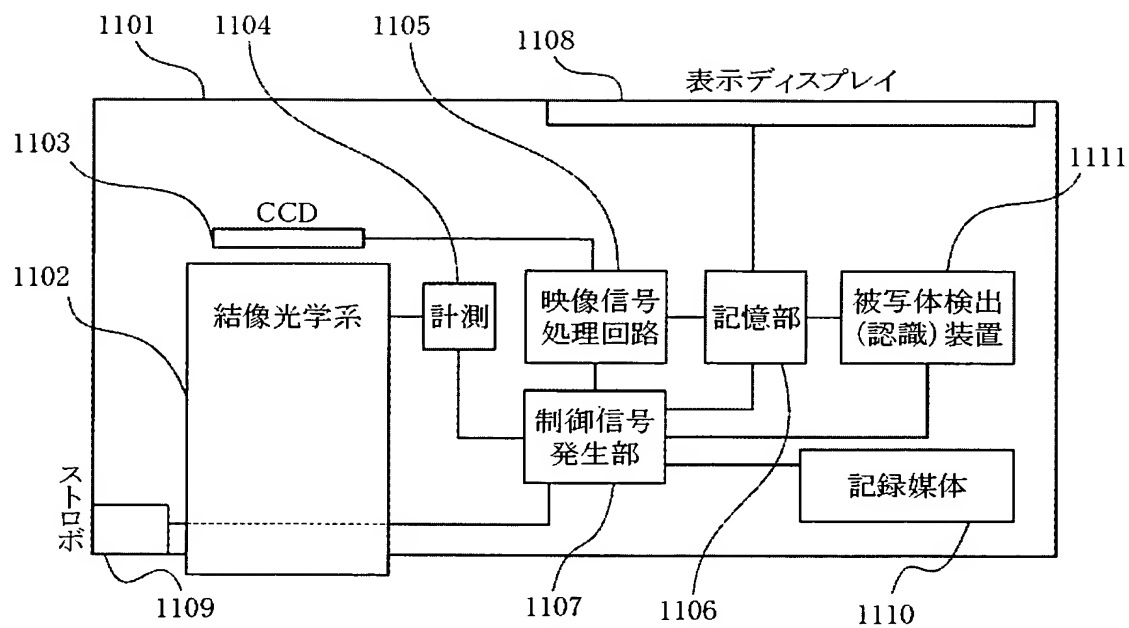
【図 8】



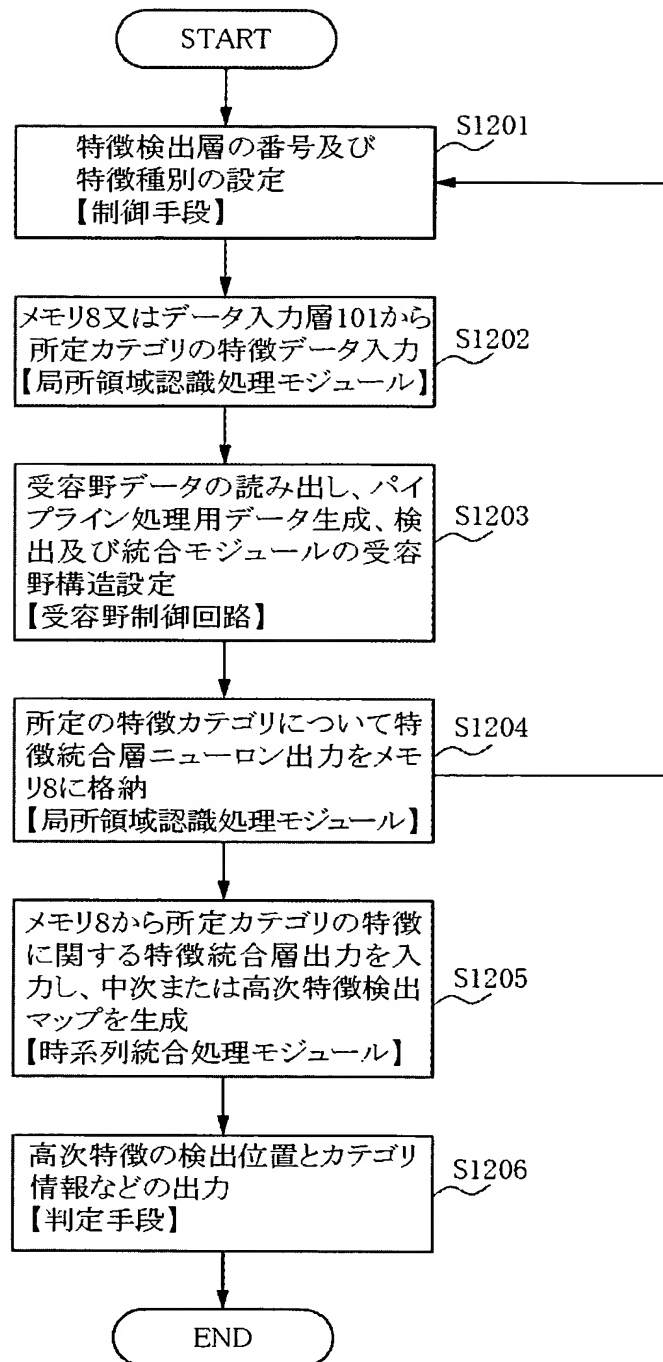
【図 9】



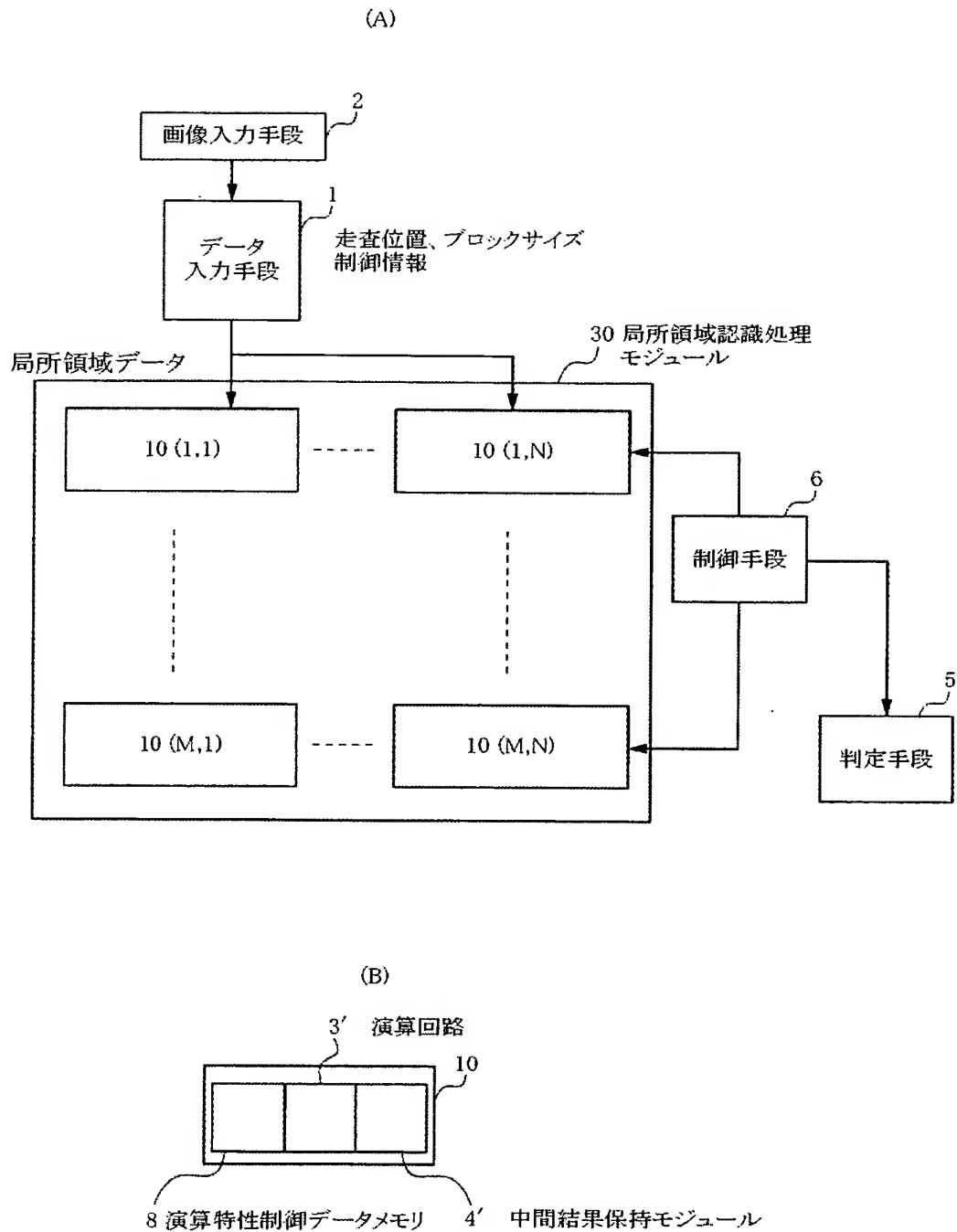
【図10】



【図 11】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 汎用性を保ちながら、複雑かつ大規模な演算を低消費電力および小回路規模で実現する。

【解決手段】 階層処理装置に、所定の階層レベルのパターンデータを時系列的に入力するデータ入力手段 1 と、演算特性制御用データを保持する演算特性制御データメモリ 8 と、前記演算特性制御用データを用いて、パターンデータに対して所定の特徴検出を行う局所領域認識モジュール 3 と、局所領域認識モジュール 3 からの出力を中間的に保持する中間処理結果保持モジュール 4 と、処理階層レベルに応じて、データ入力手段からの入力または中間処理結果保持モジュール 4 からフィードバックされる中間結果と、演算特性制御データメモリ 8 から読み出される演算特性制御用データとを局所領域認識モジュール 3 に供給するように制御する制御手段 6 とを備える。

【選択図】 図 1

特願 2 0 0 2 - 3 2 2 7 1 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1 . 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キヤノン株式会社